

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 04 月 16 日
Application Date

申 請 案 號：092108853
Application No.

申 請 人：華邦電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 7 月 10 日
Issue Date

發文字號：09220695860
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	應用於積體電路之雜訊濾波器
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 小池秀治
	姓 名 (英 文)	1. Hideharu Koike
	國 籍 (中 英 文)	1. 日本 JP
	住居所 (中 文)	1. 橫濱市泉區綠園5-15-9
	住居所 (英 文)	1. 5-15-9 Ryokuen, Izumi-ku, Yokohama, 245-0002, Japan
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英 文)	1. Winbond Electronics Corp.
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中 文)	1. 焦佑鈞
	代表人 (英 文)	1. Arthur, Y.C. Chiao



四、中文發明摘要 (發明名稱：應用於積體電路之雜訊濾波器)

本案為一種應用於積體電路之雜訊濾波器，係設於一積體電路之一輸入接腳與一輸入緩衝器之一輸入端之間，該雜訊濾波器包含：一互補金氧半導體反向器，該互補金氧半導體反向器之一輸入端及一輸出端分別電連接該輸入接腳與該輸入緩衝器之該輸入端；一第一電容器，係設於該積體電路之一第一電源端與該互補金氧半導體反向器之該輸出端之間；以及一第二電容器，係設於該積體電路之一第二電源端與該互補金氧半導體反向器之該輸出端之間。

本案指定之代表圖：圖二。

本案代表圖之圖號說明：

21：應用於積體電路之雜訊濾波器

211：CMOS反向器

2111：PMOS電晶體

2112：NMOS電晶體

212：第一電容器

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：應用於積體電路之雜訊濾波器)

213：第二電容器

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

本案為一種應用於積體電路之雜訊濾波器，可用來避免因外部之電磁干擾 (EMI, Electro-Magnetic Interference) 所造成的大型積體電路 (LSI, Large-Scale Integration) 機能故障。

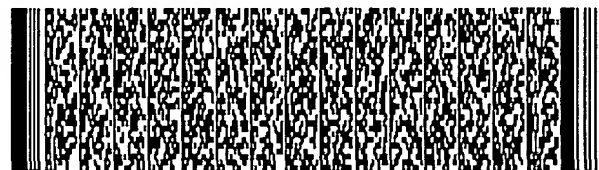
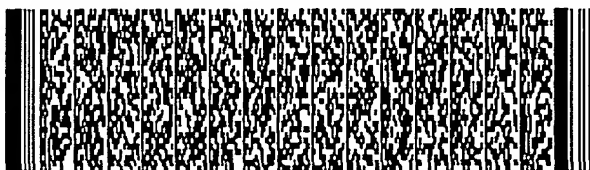
[先前技術]

眾所週知，電動機或斷路器所產生的外部電磁雜訊會在 LSI 之電源線與訊號上造成一個尖峰波形的雜訊，這將影響並導致 LSI 功能失效。為避免問題發生，習知之技術為在 LSI 的輸入接腳和輸入緩衝器之間加入一個雜訊濾波器以避免雜訊干擾。

圖一所示為習用之雜訊濾波器，雜訊濾波器 12 設於 LSI 11 之輸入接腳 13 與輸入緩衝器 14 之間，由電阻器 121 與電容器 122 所構成，其中電阻器 121 連接著輸入接腳 13 與輸入緩衝器 14，而電容器則插在輸入緩衝器 14 與第二電源端 VSS 之間。

如果雜訊脈衝是從輸入接腳 13 與 VSS 之間所產生的，則該雜訊脈衝將會被雜訊濾波器 12 所吸收並且讓輸入緩衝器 14 完全不會偵測到任何雜訊的存在。

假設圖一中 LSI 11 之 VDD 與 VSS 之間的電壓準位保持不變，而且阻尼電路 (RC Network) 的時間常數 (Time Constant) 又夠大的話，則習用的雜訊濾波器 12 將可使 LSI 11 不會發生機能故障；然而一旦有以下的任何情況發生，習用的雜



五、發明說明 (2)

訊濾波器 12對於先進的 LSI則不適用：

- 1.萬一雜訊介於 VDD與 VSS之間，則圖一的雜訊濾波器並無法防止該雜訊。
- 2.高阻抗的多晶矽 (P-si, Poly Silicon)在深次微米大型積體電路 (DSM, Deep Sub-micro LSI)的內部不易製作。
- 3.當時脈週期很短，即頻率很高的時候，受限於製程，電容通常無法作的很大，致使時間常數並無法設計的夠大。

[本案目的]

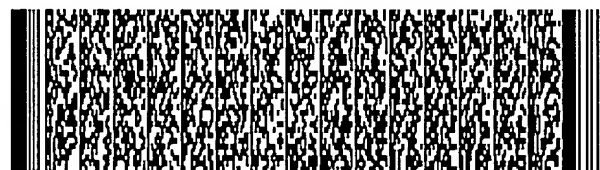
本案的目的係根據上述習用技術之缺點，改變習用雜訊濾波器之架構，利用 MOS電晶體以及電容器組成一應用於積體電路之雜訊濾波器，來改善習用之雜訊濾波器無法有效過濾雜訊而造成 LSI機能失效的缺點，其不僅具備高輸入阻抗，可以獲到較大之時間常數，並且能有效排除來自 VDD與 VSS間的雜訊，以確保 LSI之正常運作。

[發明內容]

為達上述目的，本案提出一種應用於積體電路之雜訊濾波器，係設於一積體電路之一輸入接腳與一輸入緩衝器之一輸入端之間，該雜訊濾波器包含：

一互補金氧半導體反向器，該互補金氧半導體反向器之一輸入端及一輸出端分別電連接該輸入接腳與該輸入緩衝器之該輸入端；

一第一電容器，係設於該積體電路之一第一電源端與該互



五、發明說明 (3)

補金氧半導體反向器之該輸出端之間；以及
一第二電容器，係設於該積體電路之一第二電源端與該互補金氧半導體反向器之該輸出端之間。

如所述之應用於積體電路之雜訊濾波器，其中該積體電路為一大型積體電路 (LSI, Large Scale Integration)。

如所述之應用於積體電路之雜訊濾波器，其中該積體電路為一超大型積體電路 (VLSI, Very Large Scale Integrated Circuit)。

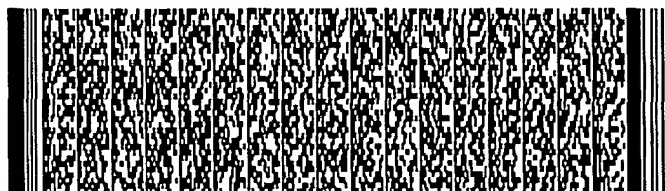
如所述之應用於積體電路之雜訊濾波器，其中該輸入緩衝器為一史密特觸發器 (Schmitt Trigger)。

如所述之應用於積體電路之雜訊濾波器，其中該互補金氧半導體反向器 (CMOS Inverter) 係由一 N 型金氧半電晶體 (NMOS Transistor) 與一 P 型金氧半電晶體 (PMOS Transistor) 串聯而成。

如所述之應用於積體電路之雜訊濾波器，其中該第一電源端之電壓為 VDD，而該第二電源端之電壓為 VSS。

本案亦為一種應用於積體電路之雜訊濾波器，係設於一積體電路之一輸入接腳與一輸入緩衝器之一輸入端之間，其包含：

一轉換閘 (Transfer Gate)，該轉換閘之一輸入端及一輸出端分別電連接該輸入接腳與該輸入緩衝器之該輸入端；
一第一電容器，係設於該積體電路之一第一電源端與該輸入緩衝器之該輸入端之間；以及
一第二電容器，係設於該積體電路之第二電源端與該輸入



五、發明說明 (4)

緩衝器之該輸入端之間。

如所述之應用於積體電路之雜訊濾波器，其中該積體電路為一大型積體電路 (LSI, Large Scale Integration)。

如所述之應用於積體電路之雜訊濾波器，其中該積體電路為一超大型積體電路 (VLSI, Very Large Scale Integrated Circuit)。

如所述之應用於積體電路之雜訊濾波器，其中該轉換開由一 N型金氧半電晶體 (NMOS Transistor) 與一 P型金氧半電晶體 (PMOS Transistor) 並聯而成。

如所述之應用於積體電路之雜訊濾波器，其中該輸入緩衝器為一史密特觸發器 (Schmitt Trigger)。

如所述之應用於積體電路之雜訊濾波器，其中該第一電源端之電壓為 VDD。

如所述之應用於積體電路之雜訊濾波器，其中該轉換開之一參考電壓係為 $VDD/2$ 。

如所述之應用於積體電路之雜訊濾波器，其中該第二電源端之電壓為 VSS。

[實施方式]

圖二為本案較佳實施例，其中雜訊濾波器 21 係取代圖一的雜訊濾波器 12。雜訊濾波器 21 係由互補金氧半導體反向器 (CMOS, Complimentary Metal Oxide Semiconductor inverter) 211，以及第一電容器 212 和第二電容器 213 所構成，其中 CMOS 反向器 211 為 PMOS 電晶體



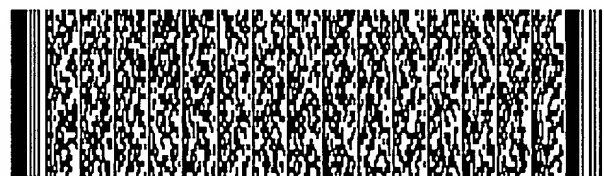
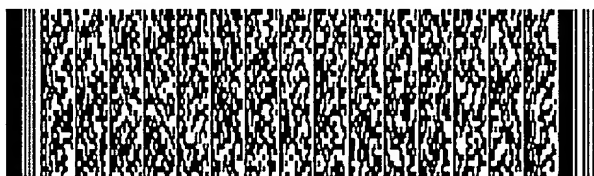
五、發明說明 (5)

2111與 NMOS電晶體 2112所組成。如圖所示，CMOS反向器 211的輸入端係和輸入接腳 13藕合，而 CMOS反向器 211的輸出端 N1則與輸入緩衝器 14藕合。另外，第一電容器 212係位於 CMOS反向器 211的輸出端 N1與 LSI 11的 VDD之間，而第二電容器 213則係位於 CMOS反向器 211的輸出端 N1與 LSI 11的 VSS之間。

以下進一步探討本案較佳實施例在習用雜訊濾波器無法有效過濾雜訊的情況下，所發揮之過濾雜訊功能：

1.當脈衝雜訊係發生於 VDD與 VSS之間時，輸入緩衝器 14之輸入電壓會因 VDD與 VSS之間的電壓準位而改變，這是由於輸入緩衝器 14之輸入電壓係由第一電容器 212與第二電容器 213對 VDD和 VSS之間的電壓準位進行分壓產生。另外輸入緩衝器 14的臨界電壓 (Threshold Voltage)也會隨著 VDD與 VSS之間的電壓準位而改變，假設輸入緩衝器 14的臨界電壓為 $VDD/2$ ，則無論 VDD與 VSS之間的電壓準位如何改變，此臨界電壓都將一直保持在此 $VDD/2$ 。假設在初始狀態時輸入緩衝器 14的輸入電壓準位高於臨界電壓，則無論雜訊是否產生自 VDD與 VSS之間，或者 VDD與 VSS之間的電壓準位如何改變，此輸入電壓準位都將一直保持高於臨界電壓值，如此一來雜訊將不會被輸入緩衝器 14所偵測到。

2.如本案較佳實施例，係採用 CMOS反向器 211而非電阻器，因此無須使用如高電阻值多晶矽之類的任何高阻抗材質，因為使用 CMOS電晶體取代電阻器，所以可以輕易地得到較高的阻抗，並且能在不消耗大量矽區塊的情形下修改

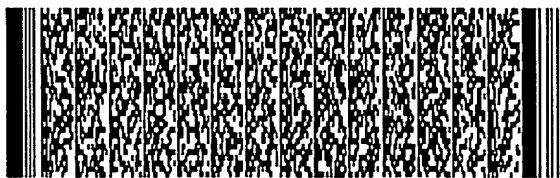


五、發明說明 (6)

阻抗。

3.當時序頻率很高時，吾人不能使時間常數變得夠大。在本案較佳實施例中，即使應用於積體電路之雜訊濾波器 21 的時間常數值很小，流經 CMOS 反向器 211 的 NMOS 電晶體 2112 與 PMOS 電晶體 2111 之電流將會互相補償，如此一來即使當輸入緩衝器 14 之輸入電壓與臨界電壓相近時，時間常數將可以變得夠大。也就是說，應用於積體電路之雜訊濾波器 21 之時間常數並非不變的常數，而係隨著輸入電壓準位而改變。當輸入電壓接近 VDD 或 VSS 時，時間常數值會變得比較小；然而當輸入電壓準位接近輸入緩衝器 14 的臨界電壓時，時間常數就會變得比較大。

本案另一較佳實施例如圖三所示之應用於積體電路之雜訊濾波器 31。不同於圖二中使用 CMOS 反向器 211，本案另一較佳實施例改採轉換閘 (Transfer Gate)，即圖三中之 NMOS 電晶體 312 與 PMOS 電晶體 311，來取代圖二之 CMOS 反向器 211 功能，並在 PMOS 電晶體 311 與 NMOS 電晶體 312 之閘極加上參考電壓 ($V_{DD}/2$)。如圖所示，當輸入電壓值接近 VDD 或 VSS 時，PMOS 電晶體 311 與 NMOS 電晶體 312 兩者之一將會打開且阻抗值變小；但是當輸入電壓值接近於輸入緩衝器 14 的臨界電壓時，PMOS 電晶體 311 與 NMOS 電晶體 312 都將關閉而阻抗值變為無限大。參考電壓 ($V_{DD}/2$) 亦可採取 ($V_{DD}-1.5V$) 加到 PMOS 電晶體 311 閘極，以及 ($1.5V$) 加到 NMOS 電晶體 312 的閘極。

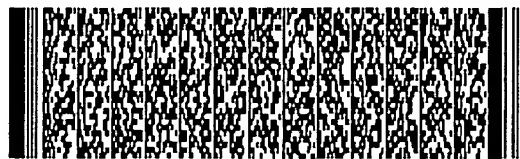
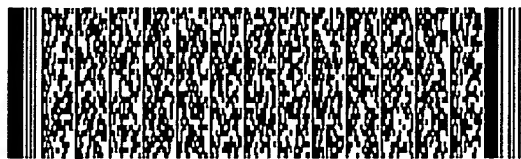


五、發明說明 (7)

本案係捨棄一般傳統電阻器，而改為利用 MOS電晶體取代電阻器之功能，將可避免在使用高阻抗多晶矽時所需之額外處理程序，而且不需要較大的矽區塊即可輕易地控制 MOS電晶體的導電係數，以獲得理想之阻抗值。

除此之外，在輸入電壓接近 VDD或 VSS時，本案應用於積體電路之雜訊濾波器之時間常數值會變得比較小；而當輸入電壓接近輸入緩衝器的臨界電壓時，本案應用於積體電路之雜訊濾波器之時間常數值將變得比較大，如此一來本案所提之應用於積體電路之雜訊濾波器將可在不犧牲任何訊號頻率的前題下，有效地避免雜訊干擾，並維護 LSI的機能以正常運作。

本案所揭露之技術，得由熟習本技術人士據以實施，而其前所未有之作法亦具備專利性，爰依法提出專利之申請，申請專利範圍如附。



圖式簡單說明

本案得藉由下列圖示及詳細說明，俾得一更深入之瞭解：

圖一：習用之雜訊濾波器電路圖。

圖二：本案較佳實施例之雜訊濾波器電路圖。

圖三：本案另一較佳實施例之雜訊濾波器電路圖。

圖示主要元件之圖號如下：

11：LSI	12：雜訊濾波器
121：電阻器	122：電容器
13：輸入接腳	14：輸入緩衝器
21：應用於積體電路之雜訊濾波器	
211：CMOS反向器	2111：PMOS電晶體
2112：NMOS電晶體	
212：第一電容器	213：第二電容器
31：應用於積體電路之雜訊濾波器	
311：PMOS電晶體	312：NMOS電晶體



六、申請專利範圍

1、一種應用於積體電路之雜訊濾波器，係設於一積體電路之一輸入接腳與一輸入緩衝器之一輸入端之間，該雜訊濾波器包含：

一互補金氧半導體反向器，該互補金氧半導體反向器之一輸入端及一輸出端分別電連接該輸入接腳與該輸入緩衝器之該輸入端；

一第一電容器，係設於該積體電路之一第一電源端與該互補金氧半導體反向器之該輸出端之間；以及

一第二電容器，係設於該積體電路之一第二電源端與該互補金氧半導體反向器之該輸出端之間。

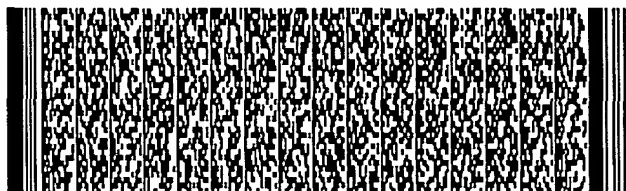
2、如申請專利範圍第1項所述之應用於積體電路之雜訊濾波器，其中該積體電路為一大型積體電路 (LSI, Large Scale Integration)。

3、如申請專利範圍第1項所述之應用於積體電路之雜訊濾波器，其中該積體電路為一超大型積體電路 (VLSI, Very Large Scale Integrated Circuit)。

4、如申請專利範圍第1項所述之應用於積體電路之雜訊濾波器，其中該輸入緩衝器為一史密特觸發器 (Schmitt Trigger)。

5、如申請專利範圍第1項所述之應用於積體電路之雜訊濾波器，其中該互補金氧半導體反向器 (CMOS Inverter) 係由一 N型金氧半電晶體 (NMOS Transistor) 與一 P型金氧半電晶體 (PMOS Transistor) 串聯而成。

6、如申請專利範圍第1項所述之應用於積體電路之雜訊濾



六、申請專利範圍

波器，其中該第一電源端之電壓為 VDD，而該第二電源端之電壓為 VSS。

7、一種應用於積體電路之雜訊濾波器，係設於一積體電路之一輸入接腳與一輸入緩衝器之一輸入端之間，其包含：

一轉換閘 (Transfer Gate)，該轉換閘之一輸入端及一輸出端分別電連接該輸入接腳與該輸入緩衝器之該輸入端；
一第一電容器，係設於該積體電路之一第一電源端與該輸入緩衝器之該輸入端之間；以及
一第二電容器，係設於該積體電路之第二電源端與該輸入緩衝器之該輸入端之間。

8、如申請專利範圍第 7 項所述之應用於積體電路之雜訊濾波器，其中該積體電路為一大型積體電路 (LSI, Large Scale Integration)。

9、如申請專利範圍第 7 項所述之應用於積體電路之雜訊濾波器，其中該積體電路為一超大型積體電路 (VLSI, Very Large Scale Integrated Circuit)。

10、如申請專利範圍第 7 項所述之應用於積體電路之雜訊濾波器，其中該轉換閘由一 N 型金氧半電晶體 (NMOS Transistor) 與一 P 型金氧半電晶體 (PMOS Transistor) 並聯而成。

11、如申請專利範圍第 7 項所述之應用於積體電路之雜訊濾波器，其中該輸入緩衝器為一史密特觸發器 (Schmitt Trigger)。



六、申請專利範圍

12、如申請專利範圍第 7 項所述之應用於積體電路之雜訊濾波器，其中該第一電源端之電壓為 V_{DD} 。

13、如申請專利範圍第 12 項所述之應用於積體電路之雜訊濾波器，其中該轉換開之一參考電壓係為 $V_{DD}/2$ 。

14、如申請專利範圍第 7 項所述之應用於積體電路之雜訊濾波器，其中該第二電源端之電壓為 V_{SS} 。



第 1/15 頁



第 2/15 頁



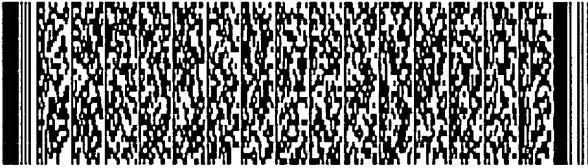
第 3/15 頁



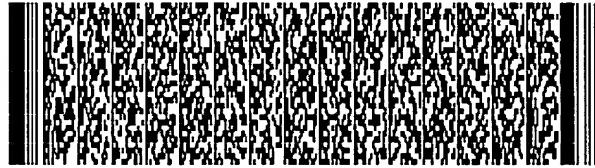
第 4/15 頁



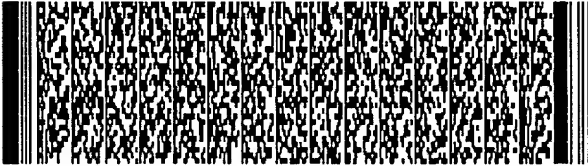
第 5/15 頁



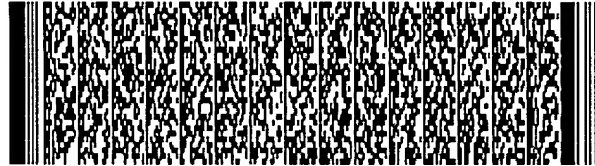
第 5/15 頁



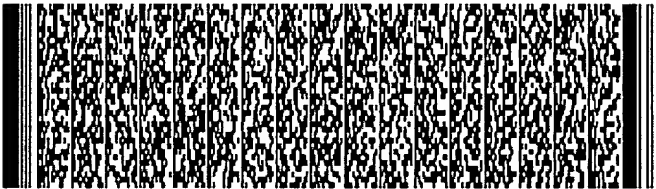
第 6/15 頁



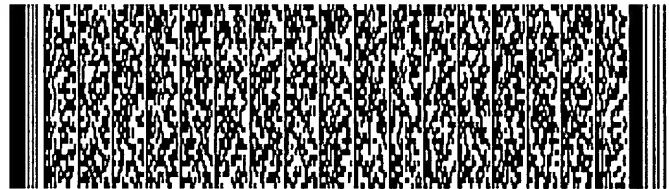
第 6/15 頁



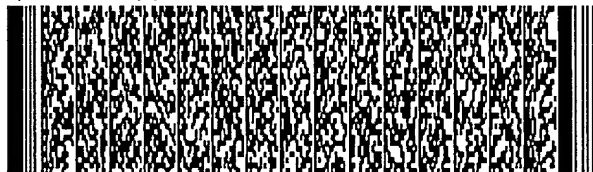
第 7/15 頁



第 8/15 頁



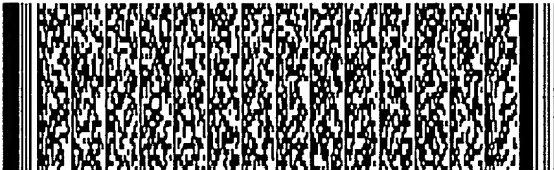
第 9/15 頁



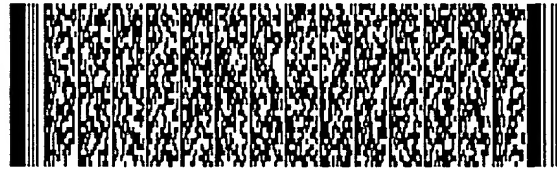
第 9/15 頁



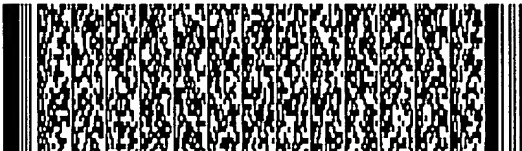
第 10/15 頁



第 10/15 頁



第 11/15 頁



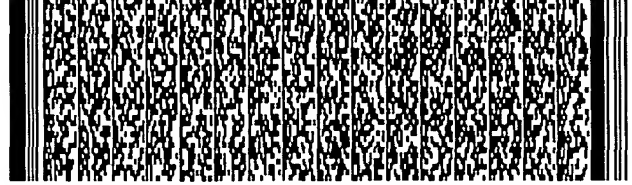
第 11/15 頁



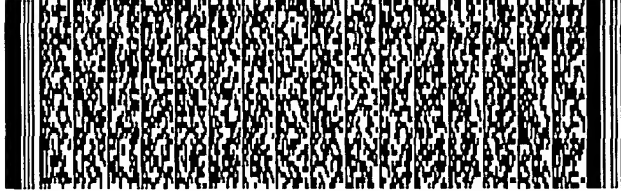
第 12/15 頁



第 13/15 頁

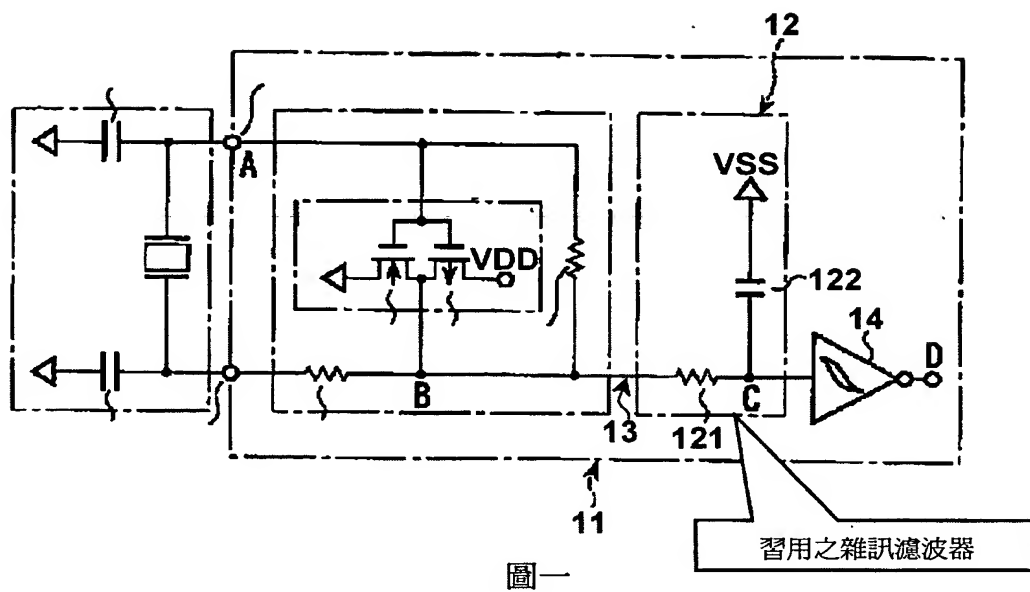


第 14/15 頁

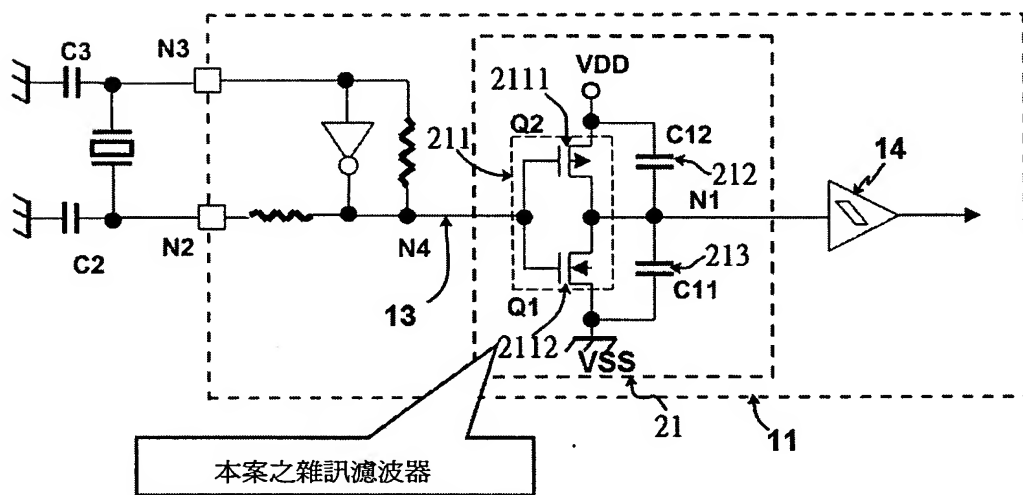


第 15/15 頁

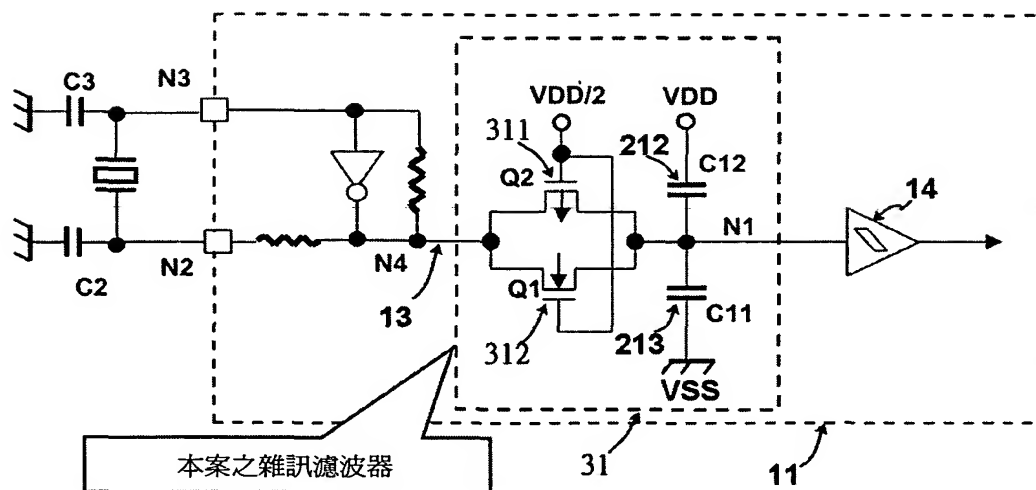




圖一



圖二



圖三